

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-026762

(43)Date of publication of application : 29.01.1999

(51)Int.CI.

H01L 29/78

H01L 21/336

H01L 21/28

(21)Application number : 09-182097

(71)Applicant : HITACHI LTD
HITACHI MICROCOMPUT SYST
LTD

(22)Date of filing : 08.07.1997

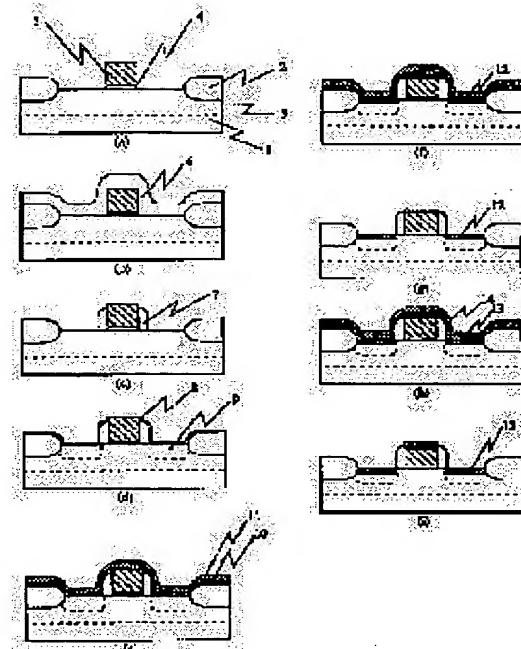
(72)Inventor : FUKADA SHINICHI
KAEDE HIROSHI
KOJIMA MASAKI
ABE HIROMI
SUZUKI MASAYASU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To form a cobalt silicide film by suppressing the increase in junction leak at the p-n junction under the film by forming a Co film on the cobalt silicide layer on source and drain electrodes is once grown, performing the process for forming the silicide at least once, and forming the film to the specified film thickness.

SOLUTION: A thermal CVD-SiO₂ film 8 is formed as an implantation through film on the entire surface of an Si substrate. After the film is removed, a Co film 10 is formed, and a TiN film 11 is formed on the film 10. Heat treatment is performed under the nitrogen atmosphere. A cobalt silicide layer 12 is selectively formed only on the electrode wherein Co and Si are in contact. After the Co film and TiN film remaining unreactive are removed, heat treatment is performed under the nitrogen atmosphere, and the cobalt silicide layer 12 is converted into CoSi₂. A side Co film 13 is formed on the entire surface of the substrate, and a TiN film 14 is formed thereon. The CoSi₂ film is different from the CoSi₂ film which is formed by heat treatment, wherein the entire quantity of the Co film is formed at one time without separating the CoSi forming process. The cobalt silicide film can be formed without increasing the junction leakage current.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

[application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(51) Int.Cl.⁶
 H 01 L 29/78
 21/336
 21/28 3 0 1

F I
 H 01 L 29/78 3 0 1 P
 21/28 3 0 1 T

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願平9-182097
 (22)出願日 平成9年(1997)7月8日

(71)出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (71)出願人 000233169
 株式会社日立超エル・エス・アイ・システムズ
 東京都小平市上水本町5丁目22番1号
 (72)発明者 深田 晋一
 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
 (74)代理人 弁理士 小川 勝男

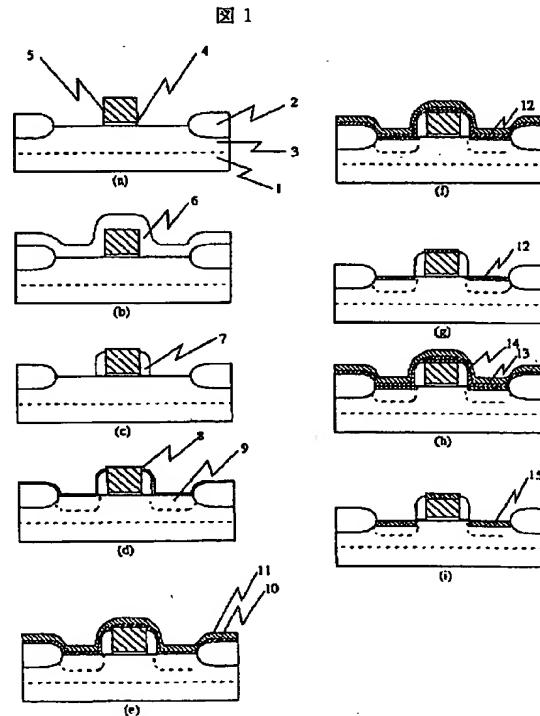
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】ソース及びドレイン上に、シート抵抗を低減するのに十分な膜厚のコバルトシリサイド(CoSi₂)膜を、その下のp/n接合に接合リーキを増大させることなく形成する。

【解決手段】ソース及びドレイン電極上のコバルトシリサイド層を、コバルトシリサイド層を一度形成した後、このコバルトシリサイド層上にCo膜を形成し、そのCo膜をシリサイド化してCoSi₂を形成する工程を少なくとも1回実施することにより所定の膜厚に形成する。



【特許請求の範囲】

【請求項1】絶縁膜で周囲より分離されたS_i基板上の活性領域に形成される、表面をコバルトシリサイド(CoSi₂)層に被われたソース及びドレイン電極と、このソース及びドレイン電極間を分割して存在するゲート絶縁膜、ポリシリコン層、金属シリサイド層の積層膜からなるゲート電極と、このゲート電極の両側を被うサイドスペーサよりなるMOSトランジスタにおいて、ソース及びドレイン電極上のコバルトシリサイド層を、コバルトシリサイド層を一度形成した後、このコバルトシリサイド層上にCo膜を形成し、そのCo膜をシリサイド化してコバルトシリサイドを形成する工程を少なくとも1回実施することにより、最初に形成したコバルトシリサイド層より厚い所定の膜厚に形成することを特徴とするMOSトランジスタの製造方法。

【請求項2】絶縁膜で周囲より分離されたS_i基板上の活性領域に形成される、表面をコバルトシリサイド層に被われたソース及びドレイン電極と、このソース及びドレイン電極間を分割して存在する、ゲート絶縁膜、ポリシリコン層、金属シリサイド層の積層膜であるゲート電極と、このゲート電極の両側を被うサイドスペーサよりなるMOSトランジスタにおいて、ソース及びドレイン電極上のコバルトシリサイド層を、膜厚30nm未満のコバルトシリサイド層を一度形成した後、このコバルトシリサイド層上にCo膜を形成し、そのCo膜をシリサイド化してコバルトシリサイドを形成する工程を少なくとも1回実施することにより30nm以上の所定の膜厚に形成することを特徴とするMOSトランジスタの製造方法。

【請求項3】請求項1に記載のMOSトランジスタの製造方法において、最初にコバルトシリサイド層を形成するために基板上に形成するCo膜の膜厚が、2回目以降、このコバルトシリサイド層上に形成されるCo膜の膜厚以下であることを特徴とするMOSトランジスタの製造方法。

【請求項4】絶縁膜で周囲より分離されたS_i基板上の活性領域に形成される、表面をコバルトシリサイド層に被われたソース及びドレイン電極と、このソース及びドレイン電極間を分割して存在する、ゲート絶縁膜、ポリシリコン層、金属シリサイド層の積層膜であるゲート電極と、このゲート電極の両側を被うサイドスペーサよりなるMOSトランジスタにおいて、ソース及びドレイン電極表面が、外周の絶縁膜よりMOSトランジスタの内側に向かって50nm以上200nm以下の幅の拡散層上にコバルトシリサイド層が存在しない領域とその内側の拡散層上にコバルトシリサイド層が存在する領域よりもなることを特徴とするMOSトランジスタ。

【請求項5】請求項1に記載のMOSトランジスタの製造方法において、先に形成されたコバルトシリサイド層を表面より2nm以上5nm以下の厚さだけ除去した

後、このコバルトシリサイド層上にCo膜を形成しそのCo膜をシリサイド化してCoSi₂を形成する工程を少なくとも1回実施することによりコバルトシリサイド層を所定の膜厚に形成することを特徴とするMOSトランジスタの製造方法。

【請求項6】請求項1に記載のMOSトランジスタの製造方法において、ゲート電極上の金属シリサイド層がコバルトシリサイドより成り、ソース及びドレイン電極上のコバルトシリサイド層と同時に形成されることを特徴とするMOSトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はS_i半導体素子の構造および製造方法に係り、特にソース及びドレイン表面をシリサイド化したMOSトランジスタの構造および製造方法に関する。

【0002】

【従来の技術】現在MOSトランジスタの高速動作の上で、ソース及びドレイン電極のシート抵抗、電極と配線とのコンタクト抵抗、ソース及びドレインの寄生容量の低減が重要な課題となっている。この課題に対し、ソース及びドレイン表面を一括して自己整合的にシリサイド化した構造が特に高速動作の必要な半導体装置に適用されている。この構造では各電極表面がTiSi₂、CoSi₂等の低抵抗シリサイドに被われシート抵抗が低減され、配線とのコンタクト抵抗も従来の金属／半導体接觸に比べ大幅に低減できる。また、ソース、ドレインの面積を低減できるため寄生容量も低減することができる。さらに、ソース、及びドレイン表面をシリサイド化する際にゲート電極上も同時に自己整合的にシリサイド化するいわゆるサリサイド(Selfalign Silicide)技術も広く用いられている。

【0003】

【発明が解決しようとする課題】通常のソース及びドレイン上のシリサイド化技術においては、上に形成した金属膜とS_i基板とを反応させてシリサイドを形成するため、針状に異常成長したシリサイドやS_i基板中を拡散した金属原子が下に形成されているp/n接合まで到達したり、シリサイドが横方向に成長してLOCOS端部でp/n接合に達したりして接合リードを増大させる。この問題はシリサイドにコバルトシリサイド(CoSi₂)を選択した場合に特に深刻である。S_i基板上に形成するコバルトシリサイド膜厚を薄くすればこの接合リードを低減することは可能だが、そうするとソース及びドレインのシート抵抗を低減するという目的を達することができない。また、コバルトシリサイド膜厚を薄くすると、コンタクト孔開口ドライエッチング時にオーバーエッチングで膜が削られ消滅してしまいコンタクト抵抗を増大させる危険性もある。そのためソース及びドレイン上のシリサイド化においては30nm以上の膜厚の

コバルトシリサイド膜が必要である。

【0004】そこで本発明は、ソース及びドレイン上にコバルトシリサイド膜をその下のp/n接合に接合リーケを増大させることなく形成することを目的とする。特に、シート抵抗を低減するのに十分な30nmを越える膜厚のコバルトシリサイド膜をその下のp/n接合に接合リーケを増大させることなく形成することを目的とする。また、この際形成されるコバルトシリサイド膜の比抵抗を下げることも目的の一つとする。

【0005】

【課題を解決するための手段】上記目的は、ソース及びドレイン電極上のコバルトシリサイド層を、膜厚30nm未満のコバルトシリサイド層を一度形成した後、このコバルトシリサイド層上にCo膜を形成し、そのCo膜をシリサイド化する工程を少なくとも1回実施することにより30nm以上の所定の膜厚に形成することで達成することができる。

【0006】また上記目的は、ソース及びドレイン電極表面を、外周の絶縁膜よりMOSトランジスタの内側に向かって50nm以上200nm以下の幅の拡散層上にコバルトシリサイド層が存在しない領域とその内側の拡散層上にコバルトシリサイド層が存在する領域よりなる構造とすることにより達成することができる。

【0007】さらに、ソース及びドレイン電極上にコバルトシリサイド層を所定の膜厚に形成した後、このコバルトシリサイド層を表面より2nm以上5nm以下の厚さだけ除去する工程を実施した後、このコバルトシリサイド層上にCo膜を形成し反応させ、CoSi₂膜を得ることも、上記目的を達成する手段として有効である。

【0008】

【発明の実施の形態】

(実施例1) 図1に本発明の半導体装置の製造方法を図示する。まずLOCOS酸化膜2で活性領域を区切られ、Bのドーピングにより形成されたp-ウェル領域3を有するSi基板1上にポリシリコンゲートパターンを形成する。具体的には、活性領域上に10nmのゲート酸化膜4を形成し、その上にポリシリコン膜5を250nm形成し、ホトエッチング工程により、ポリシリコン膜5をゲート電極パターンに加工する(図a)。

【0009】このSi基板上に熱CVD-SiO₂膜6を100nm形成する(図b)。異方性ドライエッチング技術によりこの熱CVD-SiO₂膜6をエッチングし、サイドスペーサ7を残して熱CVD-SiO₂膜を除去する(図c)。

【0010】Si基板全面にインプラスルー膜として熱CVD-SiO₂膜8を10nm形成し、LOCOS酸化膜2に被われていないソース、ドレイン及びゲート電極上に一括してAsイオンを打ち込む。950°C、10秒の短時間熱処理でイオン打ち込みされたAsを活性化し、n+拡散層9を形成する(図d)。

【0011】インプラスルー膜である熱CVD-SiO₂膜8をウェット除去した後、基板全面にDCマグネットロンスパッタ法でCo膜10を5nm、さらにその上にTiN膜11を10nm形成する(図e)。

【0012】窒素雰囲気下550°C、30秒間熱処理し、CoとSiの接触する電極上ののみに選択的にコバルトシリサイド層12を形成する。この段階ではコバルトシリサイドはCo:Si=1:x(x≤1)の組成である(図f)。

10 【0013】未反応のCo膜及びTiN膜をウェットエッティング除去した後、窒素雰囲気下750°C、30秒間熱処理し、コバルトシリサイド層12をCo:Si=1:2の定比化合物(CoSi₂)に変換する(図g)。最終的にコバルトシリサイド層12の膜厚は17nmとなる。

【0014】基板全面にDCマグネットロンスパッタ法で再度Co膜13を5nm、さらにその上にTiN膜14を10nm形成する(図h)。

20 【0015】窒素雰囲気下550°C、30秒間熱処理し、Coとすでに基板上に形成されているCoSi₂の接触する電極上ののみに選択的にコバルトシリサイド層を形成する。この段階で形成されるコバルトシリサイドは基板上のCoSi₂中のSiを消費してCo:Si=1:x(x≤1)の組成となる。未反応のCo膜及びTiN膜をウェットエッティング除去した後、窒素雰囲気下750°C、30秒間熱処理し、コバルトシリサイド層15をCo:Si=1:2の定比化合物(CoSi₂)に変換する(図i)。最終的にCoSi₂層15の膜厚は34nmとなる。このCoSi₂膜のシート抵抗は7.3Ω/□、比抵抗は25μΩcmである。ロジックLSIにおいては拡散層のシート抵抗として10Ω/□以下が求められており、十分これを満足する値である。

30 【0016】こうして形成したCoSi₂膜は、CoSi₂形成工程を分割せずCo膜全量を一度に形成し熱処理して形成したCoSi₂膜と大きく異なる特徴を有しており、それが従来問題となっていたソース及びドレイン表面をCoSi₂化した際の接合リーケ電流の増加を抑えるのである。

【0017】以下、本発明がソース及びドレイン表面をCoSi₂化した際の接合リーケ電流の増加を抑えるメカニズムを本実施例に即し説明する。

40 【0018】一つは本発明により、形成されたCoSi₂膜とSi基板との界面の状態を従来法によるものから変えた効果である。従来法で形成したCoSi₂膜ではSi基板との界面の平坦性に乏しく、特に反応途中のコバルトシリサイドがSi基板中に針状にp/n接合に到達するほど深く成長するスパイク現象が発生する。また、スパイク状成長まで至らない場合でも、Coが局所的に深く拡散し不定比のコバルトシリサイド微結晶を形成するという現象が発生する。こうして形成されたコバ

ルトシリサイド結晶の一部がp/n接合面を破壊し接合リーケを発生させるのである。

【0019】それに対し本実施例によれば、上記のスパイク状成長やCoの局所的拡散の深さが従来の半分以下となる。これはCoSi₂の形成メカニズムによるものである。CoSi₂は、1回目の熱処理時のCoよりCoSiへ及び2回目の熱処理時のCoSiよりCoSi₂への2段階の反応で形成され、上記のCoの局所的拡散による現象はCoよりCoSiが形成される過程で発生するものである。本実施例では、このCoよりCoSiを形成する反応は最初に5nmのCoをSi基板と反応させCoSiとする工程のみであり、2回目に形成したCo膜5nmはすでに形成されているCoSi₂中のSiを消費してCoSiを形成するためSi基板は反応に関与せず、Coの局所的拡散現象も発生しない。すなわち本実施例では、Coの局所的拡散を発生させるCoは膜厚5nm分であり、同じ厚さのCoSi₂膜を従来法で形成する場合に必要なCo膜厚10nmの1/2の厚さであり、Coの局所的拡散による到達深さも従来法の1/2以下となり、接合リーケの発生を抑えることができる。

【0020】図2に本実施例で作製したn+/p接合の逆方向I-V曲線を、同じ膜厚のCoSi₂膜を従来法で形成した場合と比較して示した。本実施例によればロジックLSIに必要な、5V印加時の接合リーケ電流密度 $2 \times 10^{-14} \text{ A}/\mu\text{m}^2$ 以下という仕様(仕様1)を満足することができる。

【0021】表1にはn+/p接合上に各種の方法でCoSi₂膜を形成した場合の上記仕様1及びさらに厳しい $1 \times 10^{-14} \text{ A}/\mu\text{m}^2$ 以下という仕様(仕様2)を満たす試料の比率を示した。表1中(Co 5nm+5nm)というのが上記実施例であり、先に記した膜厚が最初に形成するCo膜厚、後に記した膜厚が2回目に形成するCo膜厚である。たとえば(Co 7nm+3nm)というのは最初に形成するCo膜厚が7nm、2回目に形成するCo膜厚が3nmということである。

【0022】表1より、CoSi₂膜の形成を2回に分けることにより仕様1を満足できることがわかる。また、仕様2を満足する試料数を比較すると、使用したCoの総膜厚が同じ場合でも最初と2回目のCo膜厚が等しい場合に接合リーケ抑制効果が最も高く、次に2回目のCo膜厚の方が厚い場合に効果が高く、最初のCo膜厚の方が厚い場合の効果が最も小さいことがわかる。ただしこの場合でも一度に全部のCo膜を形成し反応させる従来法に比べれば接合リーケ電流の発生は抑制されており、本発明の効果がわかる。同様に(Co 3nm+3nm+4nm)というのはCo膜形成を3回に分け、膜厚3nm, 3nm, 4nmの順に形成した場合の結果である。この場合にも従来法に比べ接合リーケ電流の発生は抑制されており、本発明の効果がわかる。

【0023】
【表1】

表 1

仕様(1) $2 \times 10^{-14} \text{ A}/\mu\text{m}^2$ (@5V)
仕様(2) $1 \times 10^{-14} \text{ A}/\mu\text{m}^2$ (@5V)
接合面積 $2 \times 10^5 \mu\text{m}^2$
測定試料数 20個

作製法	仕様1を満たす試料数とその比率	仕様2を満たす試料数とその比率
Co 7nm (従来法)	20 (100%)	16 (80%)
Co 10nm (従来法)	12 (60%)	7 (35%)
Co 15nm (従来法)	5 (25%)	2 (10%)
Co 5nm + 5nm	20 (100%)	20 (100%)
Co 7nm + 3nm	20 (100%)	15 (75%)
Co 3nm + 7nm	20 (100%)	18 (90%)
Co 3nm + 3nm + 4nm	20 (100%)	20 (100%)

【0024】p/n接合に発生する接合リーケ電流には、平坦な接合面で発生する面リーケ成分とソース及びドレン外周部で発生する周辺成分があり、上記の内容は主に面リーケ成分を抑えるのに有効な方法である。一方、周辺リーケの発生メカニズムの一つが、CoSi₂膜が横方向に成長しすぎ、周辺のLOCOS酸化膜との境界下にあるp/n接合界面を横方向に破壊するモードである。本発明はこのモードによる接合リーケの抑制にも効果がある。

【0025】これは本発明により、ソース及びドレン外周部のCoSi₂膜の形状を従来と異なったものとすることで達せられる。従来法で形成したCoSi₂膜では、図3に示すようにソース及びドレン外周部はLOCOS酸化膜23に接するまではほぼ均一な厚さに膜形成されるのに対し、本実施例によれば図4のように周囲のLOCOS酸化膜27の端部よりMOSトランジスタの内側に向かって拡散層上にCoSi₂層の形成されない領域29が発生する。これは10nm未満の薄いCo膜からCoSi₂膜を形成した時の特徴であり、膜厚によるCo膜質の差が影響しているものと考えられる。

【0026】このCoSi₂の形成されない領域の幅は1回目の反応に関与するCo膜厚で決まることがわかつており、CoSi₂の形成されない領域の幅はこの特徴を利用して制御することができる。1回目に形成するCo膜厚を薄くし、CoSi₂膜を何回も繰り返し形成することで、最終的に形成されるCoSi₂膜厚が厚い場合でもCoSi₂の形成されない領域の幅を広く保つことができる。また、Co膜形成前の基板洗浄条件をきつくする程CoSi₂の形成されない領域の幅が狭くなるという傾向のあることもわかつており、Co膜形成前の基板洗浄条件によってもCoSi₂の形成されない領域の幅を制御することが可能である。極端には、Co膜形

成前の希釈フッ酸での洗浄をLOCOS酸化膜が20nm以上エッチングされるまでに長時間化するとCoSi₂の形成されない領域は消滅し、CoSi₂膜はLOCOS酸化膜に接するまで均一膜厚で形成される。

【0027】表2に最終的に形成したCoSi₂の膜厚を一定にし、プロセス条件の変更により拡散層上のCoSi₂の形成されない領域の幅を変化させた場合の5V印加時の単位周辺長当たりの接合リーケ電流1×10⁻¹⁴A/μm以下という仕様を満足することができる試料の比率を示した。表2より、外周のLOCOS酸化膜より拡散層の内側に向かって50nm以上CoSi₂層が存在しない領域があれば、仕様を満足できなくなるまで周辺リーケ成分が増加することはない。この領域の幅はデバイス特性に影響の出ない範囲内に抑えておく必要があり、ゲート長10μmのデバイスに対して両端でCoSi₂が形成されないことによるゲート長のロスが4%以下、すなわち片側で200nm以下の幅であれば製造バラツキに吸収される大きさであり許容される範囲内である。

【0028】

【表2】

表 2

目標仕様 $1 \times 10^{-14} \text{A}/\mu\text{m}$ (5V)
周辺長 $2 \times 10^4 \mu\text{m}$
測定試料数 20個

拡散層上にCoSi ₂ の形成されない領域の幅	仕様1を満たす試料数	仕様2を満たす試料の比率(%)
0 (従来法)	0	0
5nm	5	25
10nm	12	60
20nm	16	80
50nm	20	100
80nm	20	100
100nm	20	100

【0029】(実施例2)図5に実施例1とは異なる本発明の半導体装置の製造方法を図示する。LOCOS酸化膜32で活性領域を区切られ、Bのドーピングにより形成されたp-ウェル領域33を有するSi基板31上にポリシリコンゲートパターンを形成する。具体的には、活性領域上に10nmのゲート酸化膜34を形成し、その上にポリシリコン膜35を250nm形成し、ホトエッチング工程により、ポリシリコン膜35をゲート電極パターンに加工する(図a)。このSi基板上に熱CVD-SiO₂膜36を100nm形成する(図b)。

【0030】異方性ドライエッチング技術によりこの熱CVD-SiO₂膜をエッチングし、サイドスペーサ37を残して熱CVD-SiO₂膜を除去する(図c)。

Si基板全面にインプラスルー膜として熱CVD-SiO₂膜38を10nm形成する。Si基板全面にAsをイオン打ち込みし、LOCOS酸化膜32に被われていないソース、ドレイン及びゲート電極上に一括してAsイオンを打ち込む。

【0031】900℃、10秒間の短時間熱処理でイオン打ち込みされたAsを活性化する(図d)。

【0032】インプラスルー膜である熱CVD-SiO₂膜38をウェット除去した後、基板全面にDCマグネットロンスパッタ法でCo膜40を5nm、さらにその上にTiN膜41を10nm形成する(図e)。窒素雰囲気下550℃、30秒間熱処理し、CoとSiの接触する電極上のみに選択的にコバルトシリサイド層42を形成する。この段階ではコバルトシリサイドはCo:Si=1:x(x≤1)の組成である(図f)。

【0033】未反応のCo膜及びTiN膜をウェットエッチング除去した後、窒素雰囲気下750℃、30秒間熱処理し、コバルトシリサイド層42をCo:Si=1:2の定比化合物(CoSi₂)に変換する(図g)。

20 最終的にコバルトシリサイド層42の膜厚は17nmとなる。

【0034】ここまででは実施例1と同一の工程である。次に、希釈フッ酸でコバルトシリサイド層42を3nmエッチングする(図h)。1:99希釈フッ酸でのエッチング速度が3nm/分であり、60秒のエッチングである。

【0035】基板全面にDCマグネットロンスパッタ法で再度Co膜43を5nm、さらにその上にTiN膜(44)を10nm形成する(図i)。窒素雰囲気下550℃、30秒熱処理し、Coとすでに基板上に形成されているCoSi₂の接触する電極上のみに選択的にコバルトシリサイド層を形成する。この段階で形成されるコバルトシリサイドは基板上のCoSi₂中のSiを消費してCo:Si=1:x(x≤1)の組成となる。未反応のCo膜及びTiN膜をウェットエッチング除去した後、窒素雰囲気下750℃、30秒間熱処理し、コバルトシリサイド層45をCo:Si=1:2の定比化合物(CoSi₂)に変換する(図j)。最終的にコバルトシリサイド層45の膜厚は31nmとなる。

40 【0036】この方法によれば実施例1に記載の効果が得られるだけでなく、さらにこの方法に特有の効果を得ることができる。すなわち最終的に得られるCoSi₂膜の比抵抗を実施例1に比べ低くすることができる。これは最初に形成したCoSi₂膜表面をエッチングすることにより、表面に残っているチタンあるいはコバルト酸化物等の不純物を除去していることによる。CoSi₂膜上にさらにCo膜を形成しそれをCoSi₂化する際に、最初にCoSi₂膜表面に残っていた不純物は後で形成されるCoSi₂膜中に残り比抵抗を上昇させる原因となる。本方法によりこの不純物を除去することによ

り、最終的に形成されるCoSi₂膜の比抵抗は実施例1での25μΩcmから20μΩcmとなった。この比抵抗を下げる効果は、途中でCoSi₂膜をエッチングしていることで多少減じられるが、実施例1のCoSi₂膜のシート抵抗7.3Ω/□が本実施例では6.4Ω/□に低抵抗化されており、効果の方が大きいことがわかる。

【0037】CoSi₂膜の比抵抗を低減する目的で先に形成されたCoSi₂膜表面をエッチングする場合には、表面に付着した不純物が除去できる程度の軽いエッチングで十分である。2nm以上CoSi₂膜をエッチングすれば最終的に形成されるCoSi₂膜の比抵抗を低減する効果が認められ、5nm以上エッチングしてもさらに比抵抗を下げるることはできなかった。すなわち、CoSi₂膜のエッチング量は2nm以上5nm以下が適当である。

【0038】

【発明の効果】ソース及びドレイン表面をCoSi₂化した際の接合リーケ電流の増加は、Co膜がSi基板と反応しCoSiを形成する際にCoが局所的にSi基板中に深く拡散することが一因である。本発明に従いCo膜形成を複数回に分割し、一部のCo膜についてはSi基板と反応させるのではなくCoSi₂と反応させてCoSiを形成させることで、Coの局所的な拡散を引き起こすSi基板と直接反応するCoの膜厚を減らし、それによりSi基板中のCoの拡散量及び拡散深さを減らし、接合リーケ電流の増加を抑制できる。

【0039】接合リーケ電流の増加する別のメカニズムとして、CoSi₂膜が横方向に成長しすぎ周辺のLOCOS酸化膜との境界下にあるp/n接合界面を横方向に破壊するモードがある。本発明はこのモードによる接合リーケの増加を抑制する効果もある。従来法でソース及びドレイン上に形成したCoSi₂膜はLOCOS酸化膜に接する外周部でほぼ均一な厚さに膜形成され、横方向に成長しすぎる現象が容易に発生していた。それに対し本発明に従いCo膜形成を複数回に分割しCoよりCoSiが形成される工程を複数回に小分けすると、LOCOS酸化膜に接する外周部でCoSi形成が抑制され、LOCOS端とコバルトシリサイド膜の間にシリサイドの形成されない領域が発生する。この場合には、たとえシリサイド形成反応の途中でシリサイド膜が横方向に成長しすぎたとしても、もともとLOCOS酸化膜

との間に存在していたシリサイドが形成されない領域の幅が狭くなるだけで、LOCOS酸化膜との境界下に存在するp/n接合面まで到達することはない。そのため従来に比べCoSi₂膜を形成した際の接合リーケ周辺成分の増加を抑制できる。

【0040】さらに、先に形成したCoSi₂膜上にさらにCo膜を形成しそれをCoSi₂化する際に、先に形成したCoSi₂膜表面に残っていた不純物をコバルトシリサイド膜と一緒に除去することで、最終的に形成されるCoSi₂膜中の不純物を減らし、CoSi₂膜の比抵抗を低くすることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造工程を示した断面図。

【図2】n+/p接合の逆方向I-V曲線（本実施例（a）及び従来技術（b））図。

【図3】従来法で製造した半導体装置の断面図。

【図4】本発明の方法に従い製造した半導体装置の断面図。

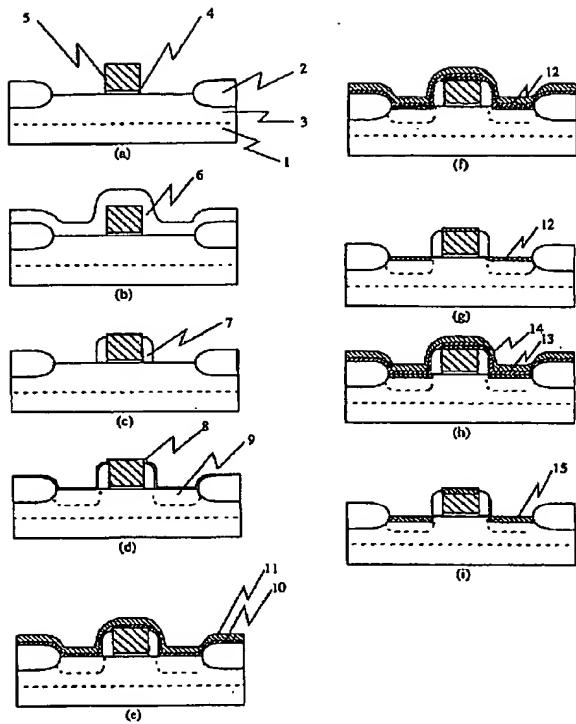
【図5】本発明の実施例1とは別の半導体装置の製造工依を示した断面図。

【符号の説明】

1…Si基板、2…LOCOS酸化膜、3…p-ウェル領域、4…ゲート酸化膜、5…ポリシリコン膜、6…熱CVD-SiO₂膜、7…サイドスペーサ、8…熱CVD-SiO₂膜、9…ソース及びドレイン領域、10…Co膜、11…TiN膜、12…コバルトシリサイド層、13…Co膜、14…TiN膜、15…コバルトシリサイド層、21…Si基板、22…ソース及びドレイン領域、23…LOCOS酸化膜、24…コバルトシリサイド層、25…Si基板、26…ソース及びドレイン領域、27…LOCOS酸化膜、28…コバルトシリサイド層、29…CoSi₂の形成されない領域、31…Si基板、32…LOCOS酸化膜、33…p-ウェル領域、34…ゲート酸化膜、35…ポリシリコン膜、36…熱CVD-SiO₂膜、37…サイドスペーサ、38…熱CVD-SiO₂膜、39…ソース及びドレイン領域、40…Co膜、41…TiN膜、42…コバルトシリサイド層、43…Co膜、44…TiN膜、45…コバルトシリサイド層。

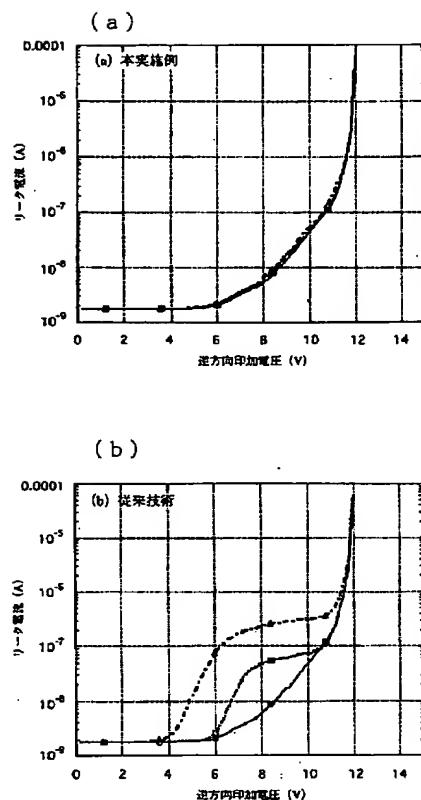
【図1】

図1



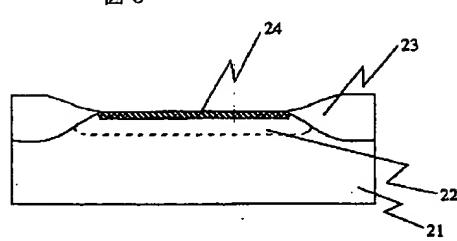
【図2】

図2



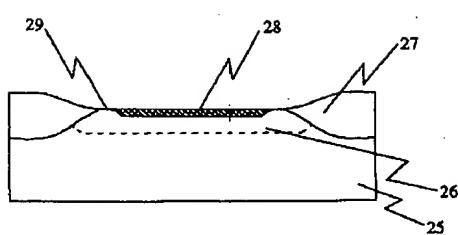
【図3】

図3

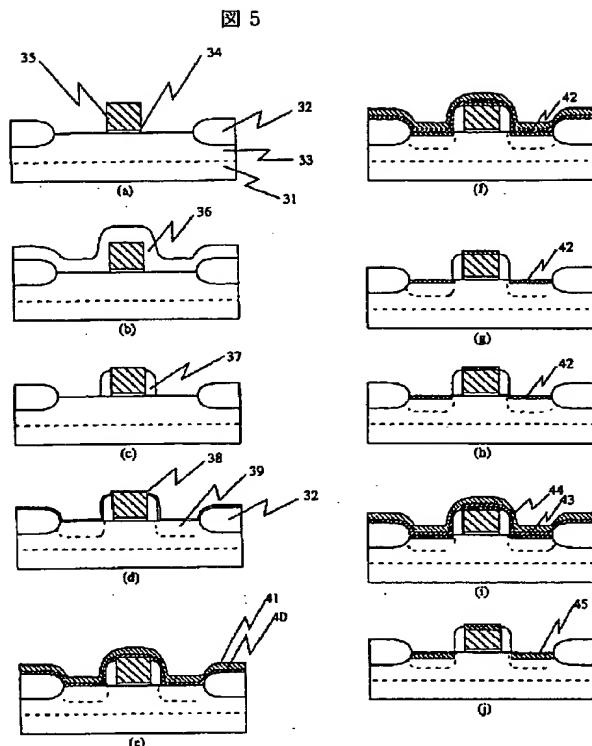


【図4】

図4



【図 5】



フロントページの続き

(72) 発明者 楓 弘志

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 小島 勝紀

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(72) 発明者 阿部 宏美

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 鈴樹 正恭

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内